



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 07 月 28 日  
Application Date

申請案號：092120483  
Application No.

申請人：矽品精密工業股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 9 月 18 日  
Issue Date

發文字號：09220934720  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	防止鐸錫滲溢之接地鐸墊結構及具有該接地鐸墊結構之半導體封裝件
	英文	GROUND PAD STRUCTURE FOR PREVENTING SOLDER EXTRUSION AND SEMICONDUCTOR PACKAGE HAVING THE GROUND PAD STRUCTURE
二、 發明人 (共3人)	姓名 (中文)	1. 林英仁
	姓名 (英文)	1. Ying-Ren LIN
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台中縣潭子鄉大豐路三段123號
	住居所 (英文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 矽品精密工業股份有限公司
	名稱或 姓名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. Wen-Po LIN



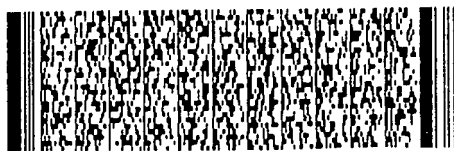
17368矽品.pptd

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中 文)	2. 黃致明
	姓 名 (英 文)	2. Chih-Ming HUANG
	國 籍 (中 英 文)	2. 中華民國 TW
	住 居 所 (中 文)	2. 台中縣大甲鎮甲后路126巷9號
	住 居 所 (英 文)	2. No. 9, Lane 126, Chia-Hou Rd., Ta-Chia Chen, Taichung Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	

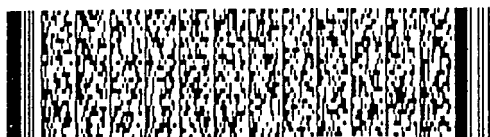


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	3. 蔡和易
	姓 名 (英文)	3. Ho-Yi TSAI
	國 籍 (中英文)	3. 中華民國 TW
	住居所 (中 文)	3. 嘉義市西區東店里莊建街91巷59號
	住居所 (英 文)	3. No. 59, Lane 91, Chuang-Jen Street, Don-Dien Li, West District, Chiayi, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：防止鐸錫滲溢之接地鐸墊結構及具有該接地鐸墊結構之半導體封裝件)

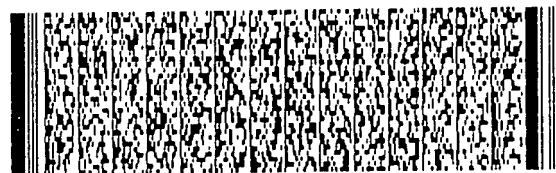
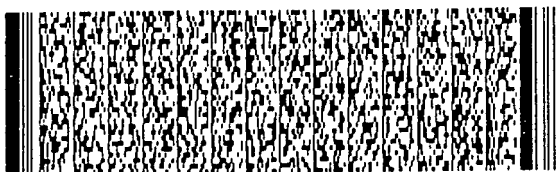
一種防止鐸錫滲溢之接地鐸墊結構及具有該接地鐸墊結構之半導體封裝件，其中，該接地鐸墊結構係將接地平面 (Ground Plane) 周緣上之接地鐸墊以非鐸罩定義 (Non-Solder Mask Defined, NSMD) 之方式予以形成，使得於確保良好之接地電性連接品質之同時，亦可有效避免鐸錫由周緣上之接地鐸墊滲溢至鄰近之導電跡線上，俾防止與導電跡線間發生電性橋接 (Bridge) 而造成跡線短路之現象。

本案代表圖：第 9 圖

100	絕緣介電層 (樹脂芯層)
101	導電跡線
102	拒鐸劑層
102b, 102c	拒鐸劑層開口
103, 203	鐸墊

六、英文發明摘要 (發明名稱：GROUND PAD STRUCTURE FOR PREVENTING SOLDER EXTRUSION AND SEMICONDUCTOR PACKAGE HAVING THE GROUND PAD STRUCTURE)

A ground pad structure for preventing solder extrusion and a semiconductor package having the ground pad structure are disclosed, wherein the ground pad structure has the ground pads located along its circumference be formed in a non-solder mask defined manner. Accordingly, a good grounding quality is maintained, and the occurrence of the electrical bridging among the adjacent conductive



四、中文發明摘要 (發明名稱：防止鐸錫滲溢之接地鐸墊結構及具有該接地鐸墊結構之半導體封裝件)

200 接地鐸墊結構

208 接地平面

六、英文發明摘要 (發明名稱：GROUND PAD STRUCTURE FOR PREVENTING SOLDER EXTRUSION AND SEMICONDUCTOR PACKAGE HAVING THE GROUND PAD STRUCTURE)

traces can be avoided as the extrusion of the molten-solder bumps from the ground pads located along the ground pad structure's circumference toward their adjacent conductive traces is effectively prevented.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

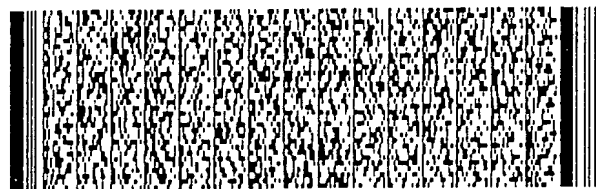
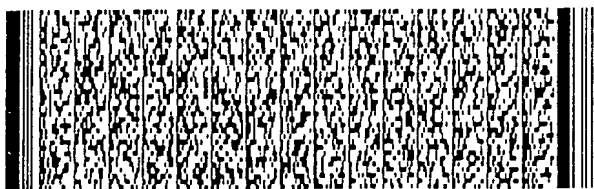
### 【發明所屬之技術領域】：

本發明係關於一種防止銲錫滲溢之接地銲墊結構及具有該接地銲墊結構之半導體封裝件，尤指一種適用於覆晶型球柵陣列式 (Flip Chip Ball Grid Array, FCBGA) 封裝結構之表面黏接技術 (Surface Mount Technology)，使藉由接地銲墊型態之變更來提昇晶片銲接信賴性。

### 【先前技術】：

於半導體技術領域中，半導體晶片 (Semiconductor Chip) 以覆晶形式 (Flip-Chip) 藉由多數以矩陣型態排列 (Matrix Array) 之導電金屬銲塊，如銲球 (Solder Balls) 或銲錫凸塊 (Solder Bumps) 電性連接到基板 (Substrate) 或印刷電路板 (Printed Circuit Board) 上，以封裝成例如一球柵陣列式 (Ball Grid Array, BGA) 半導體封裝件。

當晶片以覆晶方式銲接到基板上時，基板表層係佈設有一絕緣性拒銲劑層 (Solder Mask)，該拒銲劑層下埋設多條導電跡線 (Conductive Traces)，各導電跡線終端 (Terminal) 對應於晶片銲錫凸塊 (Solder Bumps) 銲接之位置上形成有一外露出該拒銲劑層之銲墊 (Solder Pads)，因此，該銲錫凸塊與基板上各銲墊對應銲結後，晶片訊號可透過該銲錫凸塊以及散佈於基板表層並藉由貫孔 (Vias) 貫穿基板中心樹脂芯層 (Resin Core) 之導電跡線傳送至基板底部，再與外部裝置 (如印刷電路板等) 電性連接。



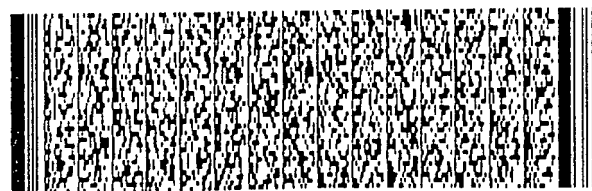
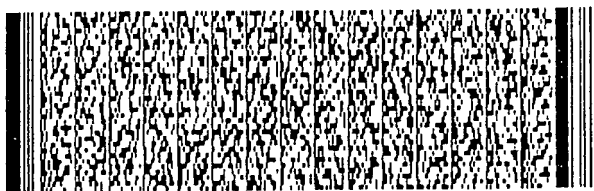


## 五、發明說明 (2)

一般導電跡線終端 (指鐸墊) 的形式為如 1A圖及第 1B圖所示之鐸罩定義式 (Solder Mask Defined, SMD) 鐸墊, 係指拒鐸劑層 102開口 102a之尺寸小於形成在基板 10之樹脂芯層 100上的鐸墊 103之尺寸, 以令該鐸墊 103之周緣為該拒鐸劑層 102所覆蓋。

而覆晶式封裝技術 (Flip-chip Technology) 如第 2A圖及第 2B圖所示, 係預先在晶片 11之作用表面 (指佈設有多數電子電路及電子元件之晶片表面) 110的晶片鐸墊 113上形成複數個金屬鐸塊 112 (一般係指錫鐸凸塊 (Solder Bumps)), 再以作用表面 110朝下的方式將該晶片 11迴鐸至基板 10, 而形成包含晶片鐸墊 113、錫鐸凸塊 112及基板鐸墊 103之鐸結接合部; 之後再以底部填膠 (Underfill) 或模壓製程充佈一絕緣膠材 12至晶片 11之底部間隙, 以強化錫鐸凸塊 112之鐸接力 (Solder Joint)。

惟當覆晶結構完成封裝製程而進行植球之迴鐸作業 (Reflow) 時, 該鐸結接合部內的鐸錫凸塊 112於高溫下熔融並產生體積膨脹, 此時原本容納鐸錫凸塊 112的空間已被周圍之絕緣膠材 12充滿, 導致該鐸錫凸塊 112經高溫膨脹之熔融金屬鐸料經由拒鐸劑層 102與鐸墊 103間之間隙及拒鐸劑層 102與樹脂芯層 100間之間隙竄入, 而引發相鄰錫鐸凸塊 112間之橋接短路, 如第 2A圖之粗線部份 105所示, 或引發相鄰導電跡線 101間之橋接短路, 如第 2B圖之粗線部份 106所示。此乃由於拒鐸劑層 102與鐸墊 103間之結合力較差之故, 使鐸錫凸塊 112經高溫膨脹之熔融金屬

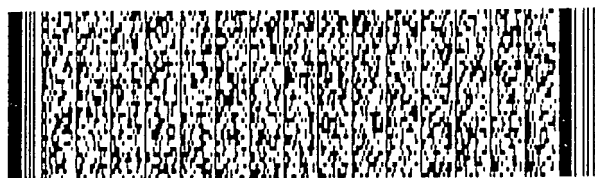


### 五、發明說明 (3)

銲料易於滲溢入拒銲劑層 102與銲墊 103間之隙中；而拒銲劑層 102與樹脂芯層 100間之結合力雖較上述拒銲劑層 102與銲墊 103間之結合力為佳，惟若拒銲劑層 102與樹脂芯層 100間之結合面積不夠大時，則拒銲劑層 102與樹脂芯層 100間之隙仍易為銲錫凸塊 112經高溫膨脹之熔融金屬銲料所滲入，而導致與相鄰銲錫凸塊 112間或相鄰導電跡線 101間之橋接短路。

另一種相對於上述銲罩定義式銲墊之非銲罩定義式 (Non-Solder Mask Defined, NSMD) 銲墊，此種非銲罩定義式銲墊如第 3A圖及第 3B圖所示，拒銲劑層 102之開口 102b係大於形成在樹脂芯層 100上的銲墊 103，俾使該銲墊 103、周圍的樹脂芯層 100之表面以及銲墊 103所連接之部分導電跡線 101一併外露出該拒銲劑層 102之開口 102b。

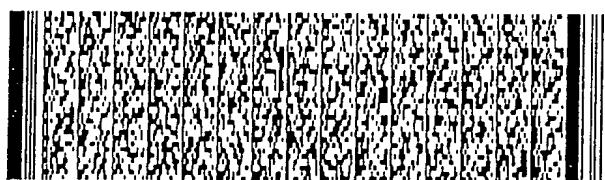
此種非銲罩定義式銲墊應用於覆晶型球柵陣列式 (Flip Chip Ball Grid Array, FCBGA) 封裝結構時，則如第 4圖所示，係使銲錫凸塊 112得在未接觸拒銲劑層 102之狀況下植於基板銲墊 103上，並使外露於該銲墊 103周圍的樹脂芯層 100之表面得與絕緣膠材 12直接結合。由於絕緣膠材 12與樹脂芯層 100間之結合力甚佳，因此當覆晶結構完成封裝製程而進行植球之迴銲作業 (Reflow) 時，該銲錫凸塊 112經高溫膨脹之熔融金屬銲料即難以經由銲墊 103周圍的樹脂芯層 100與絕緣膠材 12間之隙滲溢入拒銲劑層 102與樹脂芯層 100間之隙，而可避免引發相鄰銲錫凸塊 112間之橋接短路或相鄰導電跡線 101間之橋接短路。



#### 五、發明說明 (4)

然而，由於在覆晶型球柵陣列式封裝件之錫鉛凸塊佈局中，如第5A圖及第5B圖所示，一般係於中間部份設置接地用錫鉛凸塊112a，並分別連接至形成在基板10之樹脂芯層100的相對位置上之接地平面（Ground Plane）108。此時如欲於接地平面108與此等接地用錫鉛凸塊112a相對應的位置上形成非鉛罩定義式接地鉛墊，則須如第6圖所示，在接地平面108上分別開設成對之半圓環狀槽108a，使非鉛罩定義式接地鉛墊108b得藉由成對之繫條108c與接地平面108保持連通並使該接地鉛墊108b及部分之繫條108c一併外露於如虛線所示之拒鉛劑層102之開口102b中。惟由於此種非鉛罩定義式接地鉛墊108b之製作不僅費工耗時，同時該非鉛罩定義式接地鉛墊108b僅憑藉成對之繫條108c與接地平面108連通，並因須於接地平面108上開設多數成對之半圓環狀槽108a，造成接地平面108之表面成為非完整且非連續之平面，而導致接地電性迭受影響。故一般覆晶型球柵陣列式封裝件之接地平面皆避免設置如第6圖所示之非鉛罩定義式接地鉛墊108b，而仍採用原本之鉛罩定義式接地鉛墊以保持完整之平面狀形態，如第5A圖及第5B圖所示，俾維持良好之接地電性。

但是，如第5A圖及第5B圖所示採用原本之鉛罩定義式接地鉛墊之覆晶型球柵陣列式封裝件雖可維持良好之接地電性，卻仍無法克服前述鉛罩定義式鉛墊易使鉛錫滲溢至鄰近之導電跡線上而造成跡線短路之缺失。亦即，如第5A圖及第5B圖所示，在進行植球之迴鉛作業時，由於拒鉛劑



#### 五、發明說明 (5)

層 102 與接地平面 108 間之結合力較差之故，使位於接地平面 108 外圍之接地用錫鉛凸塊 112a 經高溫膨脹之熔融金屬鉛料易於滲溢入拒鉛劑層 102 與接地平面 108 間之間隙中，而引發與相鄰導電跡線 101 間之橋接短路，如第 5A 圖及第 5B 圖之粗線部份 107 所示。

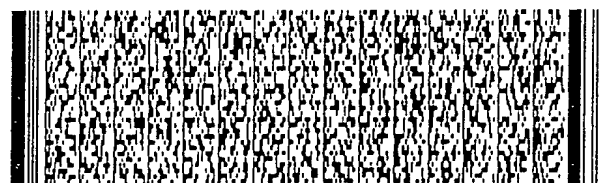
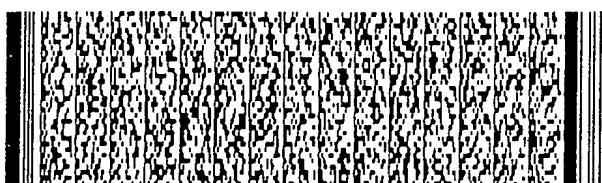
#### 【發明內容】：

本發明之主要目的在於提供一種防止鉛錫滲溢之接地鉛墊結構及具有該接地鉛墊結構之半導體封裝件，使得於確保良好之接地電性連接品質之同時，亦得有效避免鉛錫由接地鉛墊滲溢至鄰近之導電跡線上，俾防止與導電跡線間發生電性橋接而造成跡線不當短路之現象。

根據本發明之上述及其他目的所完成之防止鉛錫滲溢之接地鉛墊結構，係包含由導電材料製成之接地平面，該接地平面得設置在基板之絕緣介電層上並由如絕緣性拒鉛劑層之絕緣層所覆蓋，同時該接地平面上對應於半導體晶片上多數如鉛球或鉛錫凸塊之接地用導電金屬鉛塊銲接之位置上形成有可外露出該拒鉛劑層之多數接地鉛墊，其中，該接地平面周緣上之接地鉛墊係以非鉛罩定義

(Non-Solder Mask Defined, NSMD) 之方式予以形成。

本發明之具有防止鉛錫滲溢之接地鉛墊結構之半導體封裝件，係包含有基板，該基板具有絕緣介電層，形成於該介電層上下之多條導電跡線，及覆蓋於該導電跡線與介電層上具多數開口之如絕緣性拒鉛劑層之絕緣層，其中，各導電跡線端部係分別形成有可外露出該開口之非接地鉛



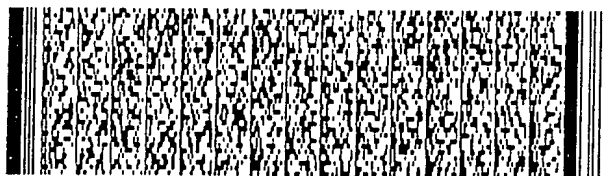
#### 五、發明說明 (6)

墊；接地鐳墊結構，係包含由導電材料製成之接地平面，該接地平面係設置在基板之介電層上並由絕緣層所覆蓋，同時該接地平面上形成有可外露出該絕緣層之開口之多數接地鐳墊，其中，該接地平面周緣上之接地鐳墊係以非鐳罩定義 (Non-Solder Mask Defined, NSMD) 之方式予以形成；半導體晶片，該半導體晶片分別具有作用表面及相對應之非作用表面，該作用表面上形成有複數個非接地用導電金屬鐳塊及接地用導電金屬鐳塊，以藉該非接地用導電金屬鐳塊及接地用導電金屬鐳塊將晶片電性鐳接至基板上相對應之非接地鐳墊及接地鐳墊上；封裝膠體，用以包覆該半導體晶片、導電金屬鐳塊、絕緣層之表面及介電層之局部表面；以及植接於基板底部之多數如鐳球之導電元件。

由於本發明之接地鐳墊結構使接地平面得以保持完整而連續之平板狀形態，故可確保良好之接地電性連接品質；同時，本發明亦由於將接地平面周緣上之接地鐳墊以非鐳罩定義之方式予以形成，故可有效避免鐳錫由周緣上之接地鐳墊滲溢至鄰近之導電跡線上，俾防止與導電跡線間發生電性橋接而造成跡線不當短路之現象。

#### 【實施方式】：

以下爰配合第 7 圖至第 9 圖詳細揭露本發明之防止鐳錫滲溢之接地鐳墊結構及具有該接地鐳墊結構之半導體封裝件之實施例，惟該實施例所附之圖式僅繪示與實施方式有關之元件結構，而未顯示各實施例之實際實施型態，本發

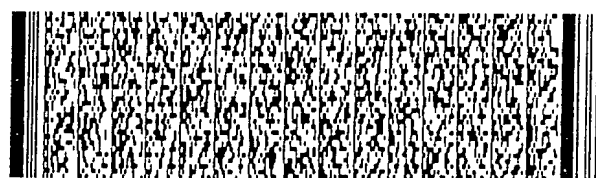
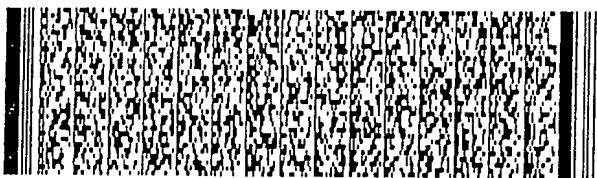


#### 五、發明說明 (7)

明半導體封裝件於實際實施時，其元件數量、尺寸以及整體佈局將更為複雜。

如第 7 圖所示，本發明之防止銲錫滲溢之接地銲墊結構 200，係包含由導電材料製成之接地平面 208，該接地平面 208 之形狀可為如圖所示之方形，亦可視實際需求形成為其他不同之形狀。同時，該接地平面 208 得設置在基板 10 之絕緣介電層 100 上並由如絕緣性拒銲劑層之絕緣層 102 所覆蓋（如第 8 圖所示），同時該接地平面 208 上對應於半導體晶片 11 上多數由錫鉛合金材質所製成如銲球或銲錫凸塊之接地用導電金屬銲塊 112a 銲接之位置上形成有如第 7 圖所示以虛線顯示之多數接地銲墊 203，該等接地銲墊 203 之排列形式可為如圖所示之矩陣型態排列（Matrix Array），亦可視實際需求形成為其他不同之排列形式。其中，該接地平面 208 周緣上之接地銲墊 203 係以非銲罩定義（Non-Solder Mask Defined, NSMD）之方式予以形成。亦即，該等接地平面 208 周緣上之接地銲墊 203 係以局部延伸出接地平面 208 周緣之方式突設於接地平面 208 之周緣上，俾使該等接地銲墊 203 以及接地銲墊結構 200 周圍的介電層 100 之局部表面一併外露出該拒銲劑層 102（如第 8 圖及第 9 圖所示）。

如第 8 圖所示，本發明之具有防止銲錫滲溢之接地銲墊結構 200 之半導體封裝件，係包含基板 10，該基板 10 之導電跡線 101 之端部（Terminal）形成有複數個非接地銲墊 103；接地銲墊結構 200，係包含由導電材料製成之接地

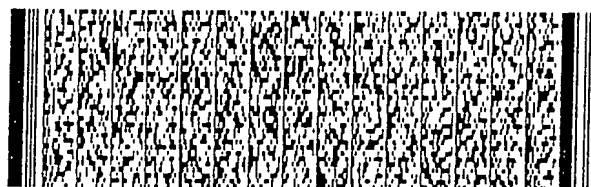
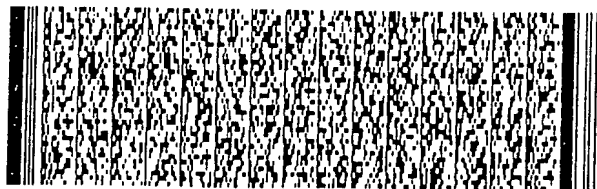


#### 五、發明說明 (8)

平面 208，該接地平面 208係設置在基板 10上，同時該接地平面 10上形成有多數接地鐳墊 203；分別具有作用表面 110及相對應之非作用表面 111並接置於該基板 10上之半導體晶片 11；複數個由錫鉛合金材質所製成如鐳球或鐳錫凸塊之非接地用導電金屬鐳塊 112及接地用導電金屬鐳塊 112a，係形成於該晶片 11之作用表面 110上，藉以覆晶方式鐳接該晶片 11至基板 10之非接地鐳墊 103及接地鐳墊結構 200之接地鐳墊 203上；封裝膠體 22，用以包覆該半導體晶片 11、金屬鐳塊 112及基板 10之表面；以及植接於基板 10底部之多數如鐳球 13之導電元件。

該接地平面 208係可如圖所示設置在基板 10之中央部份上，惟亦可視實際需求形成於其他不同之位置上。該等非接地鐳墊 103及接地鐳墊 203之排列形式亦可為如圖所示之矩陣型態排列 (Matrix Array)，惟亦可視實際需求形成為其他不同之排列形式。

該基板 (或晶片載具 (Chip Carrier)) 10可為如順雙丁烯二酸亞醯胺、三氮樹脂 (Bismaleimide Triazine Resin)、聚亞醯胺 (Polyimide)、FR-4樹脂或 FR-5樹脂等電性絕緣材質製成之絕緣介電層 100，多條形成於該絕緣介電層 100上下表面上之多數導電跡線 101 (Conductive Traces)，及覆蓋住該絕緣介電層 100及導電跡線 101並具多數開口 102b之如絕緣性拒鐳劑層 (Solder Mask) 102之絕緣層所構成；惟貫穿該基板 10之導電跡線 101延伸到該絕緣介電層 100之表面上後，各導電跡線 101端部形成有外

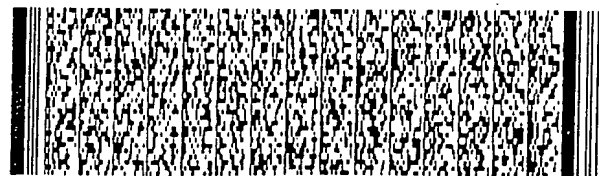
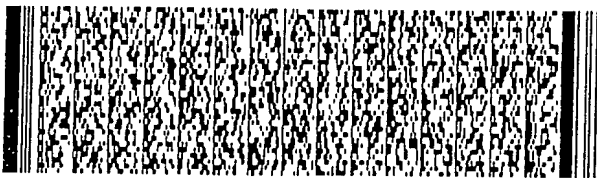


##### 五、發明說明 (9)

露出該拒錒劑層 102 之開口 102b 之非接地錒墊 103，該錒墊 103 藉由導電跡線 101 貫穿基板 10 並延伸至絕緣介電層 100 表面下而於跡線末端形成提供錒球 13 植接之錒球墊 104。

此等非接地錒墊 103 可採用如第 8 圖及第 9 圖所示之非錒罩定義式 (Non-Solder Mask Defined, NSMD) 錒墊，亦即，該等拒錒劑層 102 之開口 102b 係大於形成在介電層 100 上的錒墊 103，俾使該錒墊 103、周圍的介電層 100 之表面以及錒墊 103 所連接之部分導電跡線 101 一併外露出該拒錒劑層 102 之開口 102b，以令非接地用導電金屬錒塊 112 得在未接觸拒錒劑層 102 之狀況下植於錒墊 103 上，並使外露於該錒墊 103 周圍的介電層 100 之表面得與絕緣膠材 12 直接結合。如前所述，由於絕緣膠材 12 與介電層 100 間之結合力甚佳，因此當覆晶結構完成封裝製程而進行植球之迴錒作業時，該非接地用導電金屬錒塊 112 經高溫膨脹之熔融金屬錒料即難以經由錒墊 103 周圍的介電層 100 與絕緣膠材 12 間之縫隙滲溢入拒錒劑層 102 與介電層 100 間之縫隙，而可避免引發相鄰非接地用導電金屬錒塊 112 間之橋接短路或相鄰導電跡線 101 間之橋接短路。

此外，為解決習知熔融錒料由接地平面外圍竄流至鄰近之導電跡線上而造成跡線短路之缺失，本發明之防止錒錒滲溢之接地錒墊結構 200 亦如前所述，係將該接地平面 208 周緣上之接地錒墊 203 以非錒罩定義 (Non-Solder Mask Defined, NSMD) 之方式予以形成。亦即如第 8 圖及第 9 圖所示，該等接地平面 208 周緣上之接地錒墊 203 係以



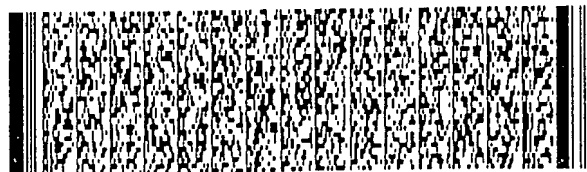
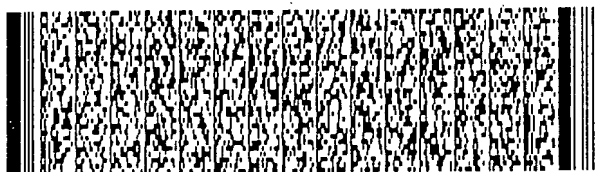


#### 五、發明說明 (10)

局部延伸出接地平面 208 周緣之方式突設於接地平面 208 之周緣上，俾使該等接地鐸墊 203 以及接地鐸墊結構 200 周圍的介電層 100 之局部表面一併外露出該拒鐸劑層 102 之開口 102c，以令接地平面 208 周緣上之接地用導電金屬鐸塊 112a 之外圍部份得在未接觸拒鐸劑層 102 之狀況下植覆於局部延伸出接地平面 208 周緣之接地鐸墊 203 上，並使外露於該接地鐸墊結構 200 周圍的介電層 100 之局部表面得與絕緣膠材 12 直接結合。該拒鐸劑層 102 之開口 102c 之形狀可為如圖所示之回字形，惟在使該等接地鐸墊 203 以及接地鐸墊結構 200 周圍的介電層 100 之局部表面得一併外露出該拒鐸劑層 102 之前提下，亦可視實際需求形成為其他不同之形狀。如此，由於絕緣膠材 12 與介電層 100 間之結合力甚佳，因此當覆晶結構完成封裝製程而進行植球之迴鐸作業時，該接地用導電金屬鐸塊 112a 經高溫膨脹之熔融金屬鐸料即難以經由該接地平面 208 周緣上之接地鐸墊 203 周圍的介電層 100 與絕緣膠材 12 間之間隙滲溢入拒鐸劑層 102 與介電層 100 間之間隙，而可避免引發與相鄰導電跡線 101 間之橋接短路。

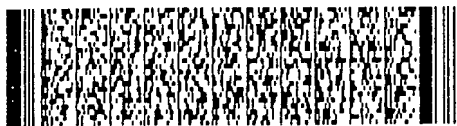
同時，由於上述接地鐸墊結構 200 使接地平面 208 得以保持完整而連續之平面狀形態，故可確保良好之接地電性連接品質。

以上所述僅為本發明之較佳實施例而已，並非用以限制本發明之實質技術內容範圍。本發明之實質技術內容係廣義地定義於下述之申請專利範圍中，任何他人所完成之



五、發明說明 (11)

技術實體或方法，若是與下述之申請專利範圍所定義者為完全相同，或是為一種等效之變更，均將被視為涵蓋於此專利範圍之中。



圖式簡單說明

【圖式簡單說明】：

第 1A圖 及 第 1B圖 係 習 知 鐳 罩 定 義 式 ( Solder Mask Defined, SMD) 鐳 墊 之 上 視 與 剖 面 示 意 圖 ；

第 2A圖 及 第 2B圖 係 習 知 具 鐳 罩 定 義 式 ( Solder Mask Defined, SMD) 鐳 墊 之 覆 晶 式 ( Flip-chip) 半 導 體 封 裝 件 之 局 部 剖 面 示 意 圖 ；

第 3A圖 及 第 3B圖 係 習 知 非 鐳 罩 定 義 式 ( Non-Solder Mask Defined, NSMD) 鐳 墊 之 上 視 與 剖 面 示 意 圖 ；

第 4圖 係 習 知 具 非 鐳 罩 定 義 式 ( Non-Solder Mask Defined, NSMD) 鐳 墊 之 覆 晶 式 ( Flip-chip) 半 導 體 封 裝 件 之 局 部 剖 面 示 意 圖 ；

第 5A圖 及 第 5B圖 係 具 習 知 接 地 鐳 墊 結 構 之 覆 晶 式 ( Flip-chip) 半 導 體 封 裝 件 之 剖 面 示 意 圖 與 第 5A圖 A-A剖 面 線 之 局 部 上 視 剖 面 示 意 圖 ；

第 6圖 係 圖 係 習 知 具 非 鐳 罩 定 義 式 ( Non-Solder Mask Defined, NSMD) 鐳 墊 之 接 地 平 面 之 局 部 示 意 圖 ；

第 7圖 係 本 發 明 之 防 止 鐳 錫 滲 溢 之 接 地 鐳 墊 結 構 之 實 施 例 之 上 視 示 意 圖 ；

第 8圖 係 本 發 明 具 有 防 止 鐳 錫 滲 溢 之 接 地 鐳 墊 結 構 之 半 導 體 封 裝 件 之 實 施 例 之 剖 面 示 意 圖 ； 以 及

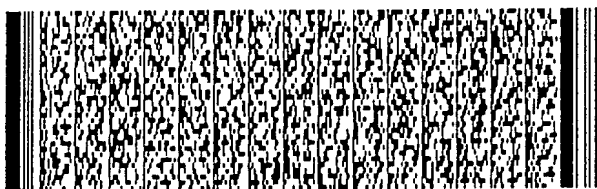
第 9圖 係 第 8圖 B-B剖 面 線 之 局 部 上 視 剖 面 示 意 圖 。

10

基 板

100

絕 緣 介 電 層 (樹 脂 芯 層 )



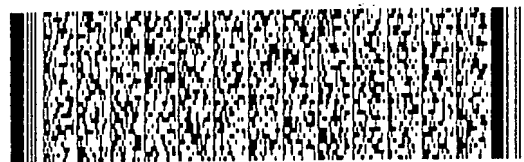
圖式簡單說明

101	導電跡線
102	拒銲劑層
102a, 102b, 102c	拒銲劑層開口
103, 203	銲墊
104	銲球墊
105, 106, 107	橋接短路部份
108, 208	接地平面
108a	半圓環狀槽
108b	非銲罩定義式接地銲墊
108c	繫條
11	半導體晶片
110	作用表面
111	非作用表面
112, 112a	金屬銲塊 ( 錫銲凸塊 )
113	晶片銲墊
12	封裝膠體 ( 絕緣膠材 )
13	銲球
200	接地銲墊結構



## 六、申請專利範圍

1. 一種防止鉛錫滲溢之接地鉛墊結構，係包含：  
得設置在半導體封裝件之基板上並由導電材料製成之接地平面；以及  
形成於該接地平面上之多數接地鉛墊，  
其中，該接地平面周緣上之接地鉛墊係以非鉛罩定義（Non-Solder Mask Defined, NSMD）之方式予以形成。
2. 如申請專利範圍第1項之防止鉛錫滲溢之接地鉛墊結構，其中，該非鉛罩定義之方式係指該接地平面周緣上之接地鉛墊以局部延伸出該接地平面周緣之方式突設於該接地平面之周緣上。
3. 如申請專利範圍第1或2項之防止鉛錫滲溢之接地鉛墊結構，其中，該多數接地鉛墊係以矩陣型態排列（Matrix Array）。
4. 如申請專利範圍第1或2項之防止鉛錫滲溢之接地鉛墊結構，其中，該接地平面係設置在半導體封裝件之基板之中央部份上。
5. 一種具有防止鉛錫滲溢之接地鉛墊結構之半導體封裝件，係包含：  
基板，該基板具有絕緣介電層，形成於該介電層上下之多條導電跡線，及覆蓋於該導電跡線與介電層上具多數開口之絕緣層，其中，各導電跡線端部係分別形成有可外露出該開口之非接地鉛墊；  
接地鉛墊結構，係包含由導電材料製成之接地平



#### 六、申請專利範圍

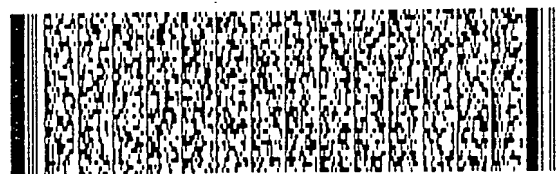
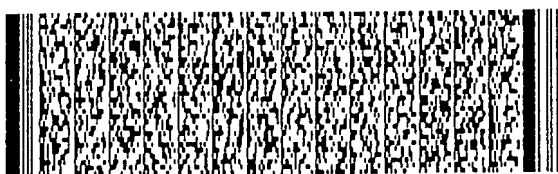
面，以及形成於該接地平面上之多數接地鐳墊，該接地平面係設置在該基板之介電層上並由該絕緣層所覆蓋，同時該多數接地鐳墊係外露出該絕緣層之開口，其中，該接地平面周緣上之接地鐳墊係以非鐳罩定義（Non-Solder Mask Defined, NSMD）之方式予以形成；

半導體晶片，該半導體晶片分別具有作用表面及相對應之非作用表面，該作用表面上形成有複數個非接地用導電金屬鐳塊及接地用導電金屬鐳塊，以藉該非接地用導電金屬鐳塊及接地用導電金屬鐳塊將晶片電性鐳接至該基板上相對應之非接地鐳墊及接地鐳墊上；

封裝膠體，用以包覆該半導體晶片、導電金屬鐳塊、絕緣層之表面及介電層之局部表面；以及

植接於基板底部之多數導電元件。

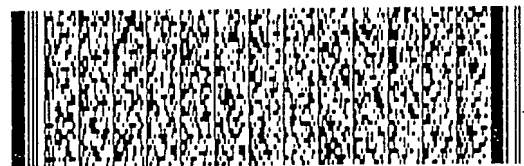
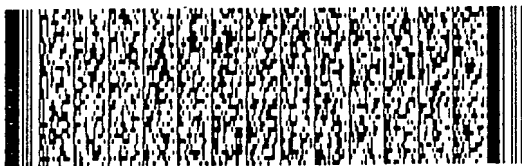
6. 如申請專利範圍第5項之具有防止鐳錫滲溢之接地鐳墊結構之半導體封裝件，其中，該半導體封裝件係覆晶式（Flip-chip）半導體封裝件。
7. 如申請專利範圍第5項之具有防止鐳錫滲溢之接地鐳墊結構之半導體封裝件，其中，該介電層係選自雙順丁烯二酸亞醯胺、三氮樹脂（Bismaleimide Triazine）、聚亞醯胺（Polyimide）、FR-5樹脂及FR-4樹脂等所組組群之一者之絕緣性材料所製成。
8. 如申請專利範圍第5項之具有防止鐳錫滲溢之接地鐳墊



#### 六、申請專利範圍

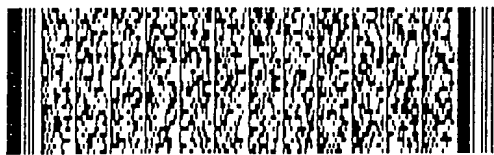
結構之半導體封裝件，其中，該絕緣層係拒錒劑層（Solder Mask）。

9. 如申請專利範圍第5項之具有防止錒錫滲溢之接地錒墊結構之半導體封裝件，其中，該非錒罩定義之方式係指該接地平面周緣上之接地錒墊以局部延伸出該接地平面周緣之方式突設於該接地平面之周緣上，俾使該等接地錒墊以及接地錒墊結構周圍的介電層之局部表面一併外露出該絕緣層之開口，以令該接地平面周緣上之接地用導電金屬錒塊之外圍部份得在未接觸該絕緣層之狀況下植覆於該等局部延伸出接地平面周緣之接地錒墊上，並使外露於該接地錒墊結構周圍的介電層之局部表面得與該封裝膠體直接結合。
10. 如申請專利範圍第5項之具有防止錒錫滲溢之接地錒墊結構之半導體封裝件，其中，該非接地錒墊係為非錒罩定義式（Non-Solder Mask Defined, NSMD）錒墊。
11. 如申請專利範圍第10項之具有防止錒錫滲溢之接地錒墊結構之半導體封裝件，其中，該非錒罩定義式錒墊係指該絕緣層之開口大於形成在各導電跡線端部上之非接地錒墊，俾使該非接地錒墊、周圍的介電層之表面以及該非接地錒墊所連接之部分導電跡線一併外露出該絕緣層之開口。
12. 如申請專利範圍第5項之具有防止錒錫滲溢之接地錒墊結構之半導體封裝件，其中，該導電金屬錒塊係由錒鉛合金材質所製成。



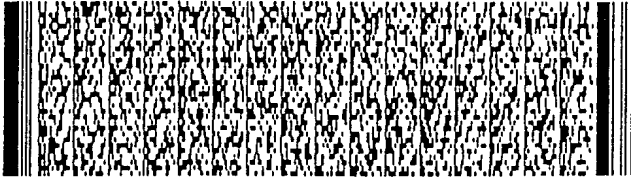
六、申請專利範圍

- 13.如申請專利範圍第5項之具有防止鐳錫滲溢之接地鐳墊結構之半導體封裝件，其中，該導電元件係為鐳球。
- 14.如申請專利範圍第5項之具有防止鐳錫滲溢之接地鐳墊結構之半導體封裝件，其中，該多數非接地鐳墊及接地鐳墊係以矩陣型態排列 (Matrix Array)。
- 15.如申請專利範圍第5項之具有防止鐳錫滲溢之接地鐳墊結構之半導體封裝件，其中，該接地平面係設置在該基板之中央部份上。

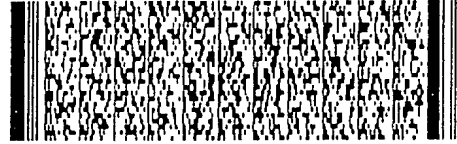




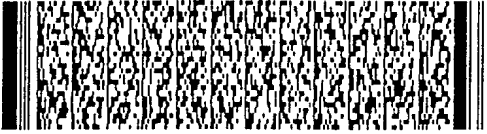
第 1/23 頁



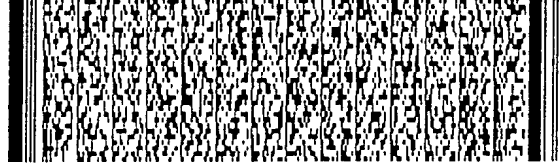
第 2/23 頁



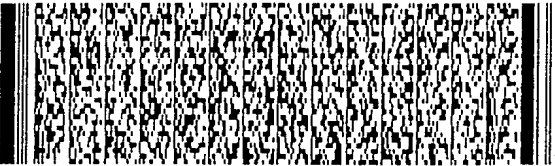
第 3/23 頁



第 4/23 頁



第 4/23 頁



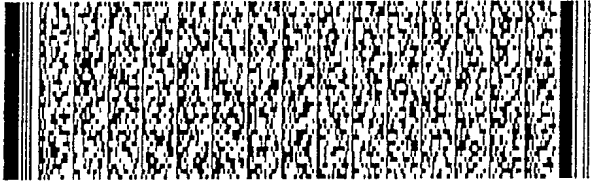
第 5/23 頁



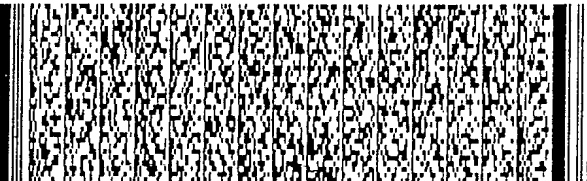
第 6/23 頁



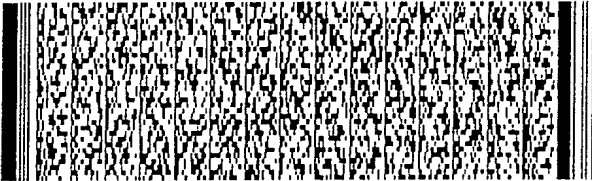
第 7/23 頁



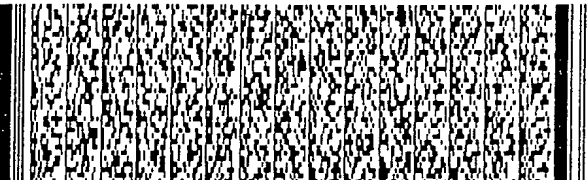
第 7/23 頁



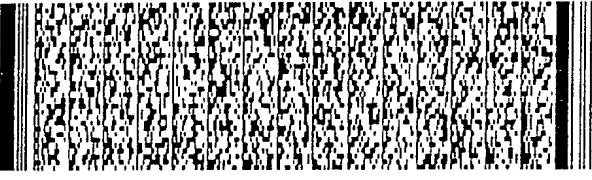
第 8/23 頁



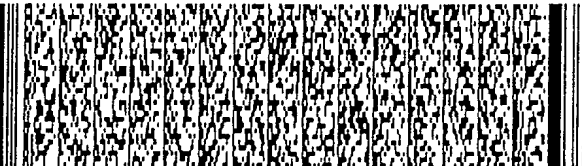
第 8/23 頁



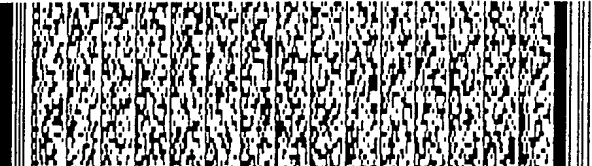
第 9/23 頁



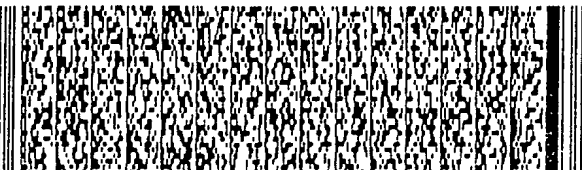
第 9/23 頁



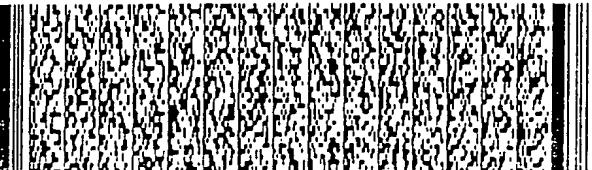
第 10/23 頁



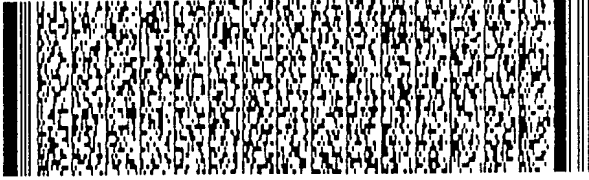
第 10/23 頁



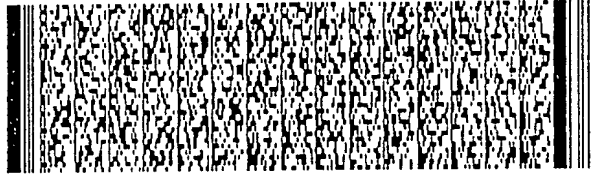
第 11/23 頁



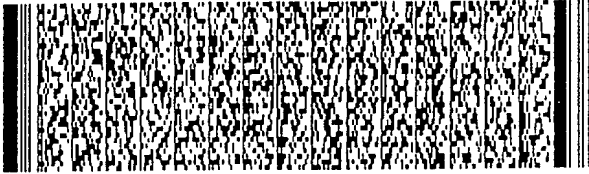
第 11/23 頁



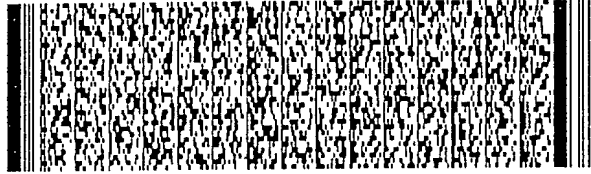
第 12/23 頁



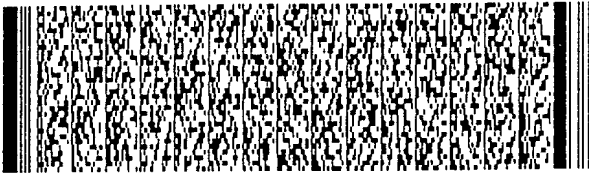
第 12/23 頁



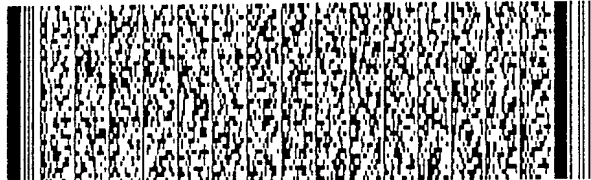
第 13/23 頁



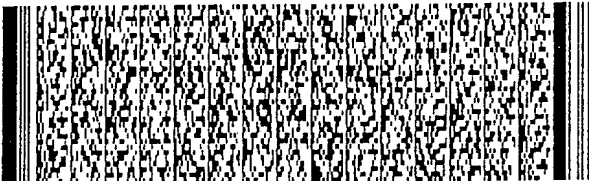
第 13/23 頁



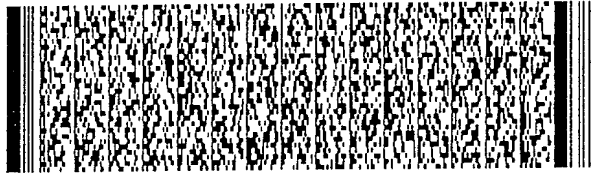
第 14/23 頁



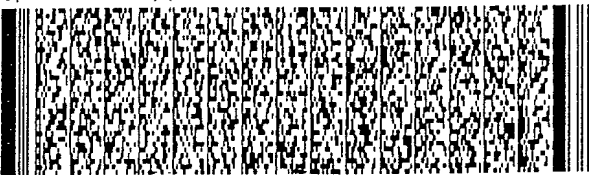
第 14/23 頁



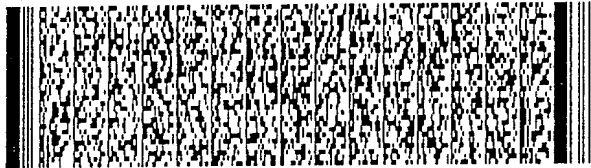
第 15/23 頁



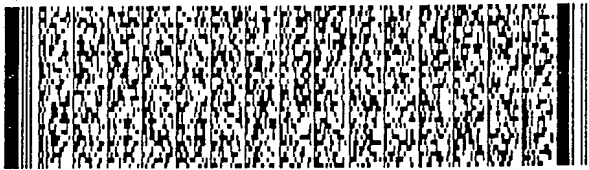
第 15/23 頁



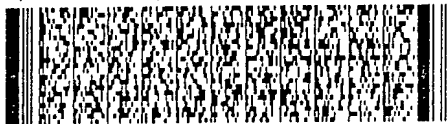
第 16/23 頁



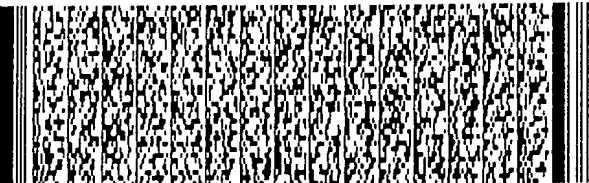
第 16/23 頁



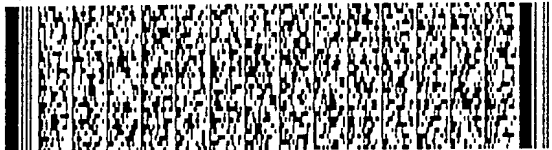
第 17/23 頁



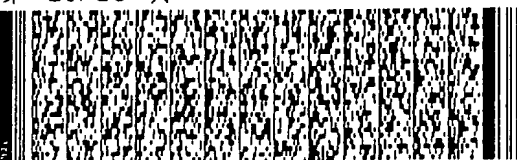
第 18/23 頁



第 19/23 頁



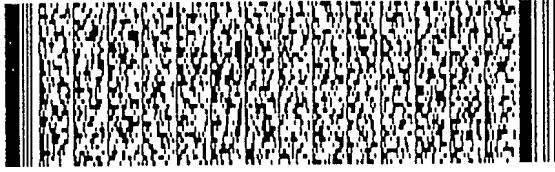
第 20/23 頁



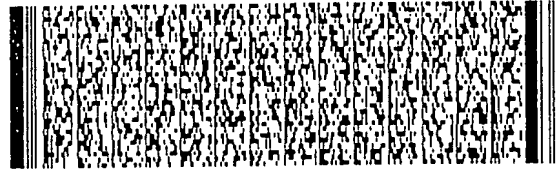
第 20/23 頁



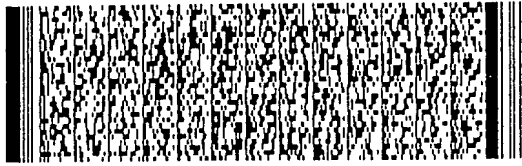
第 21/23 頁



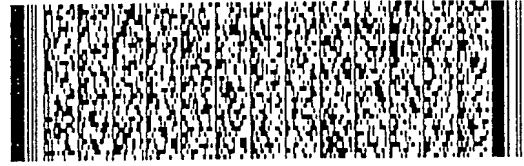
第 21/23 頁



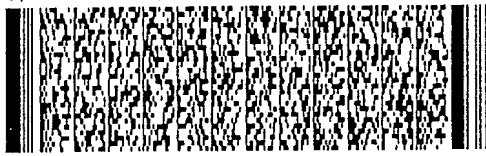
第 22/23 頁

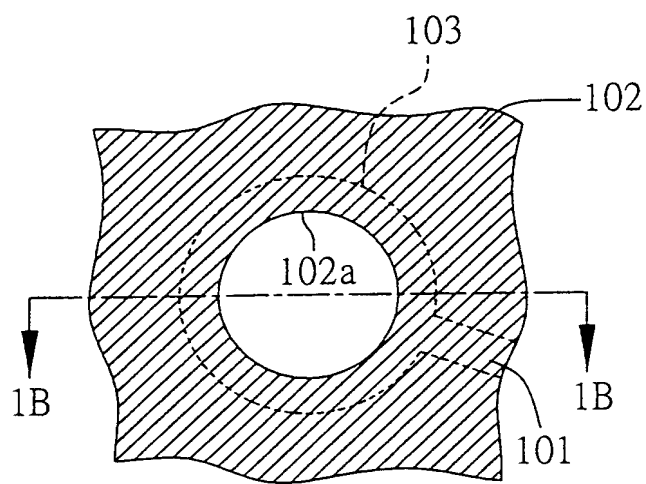


第 22/23 頁

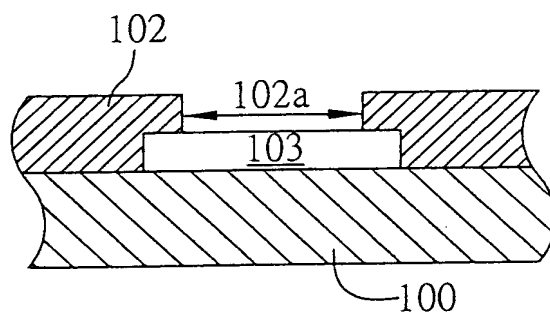


第 23/23 頁

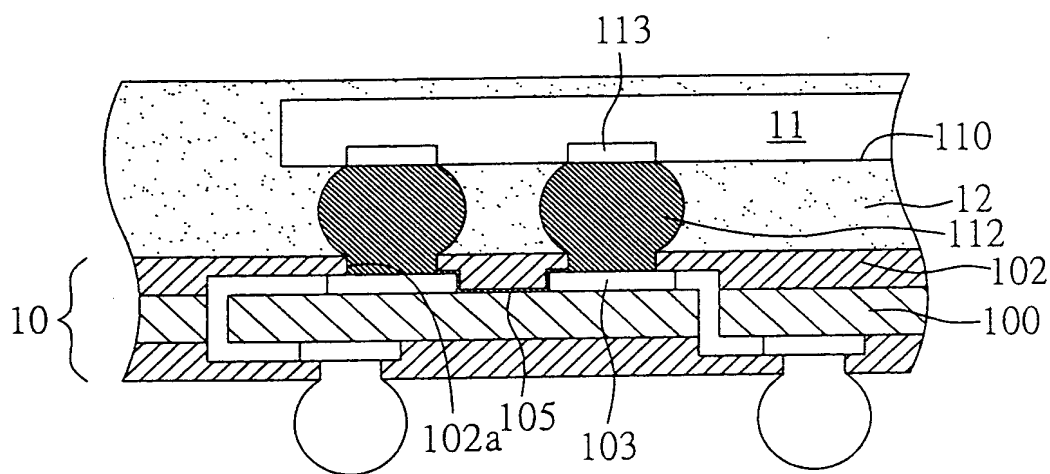




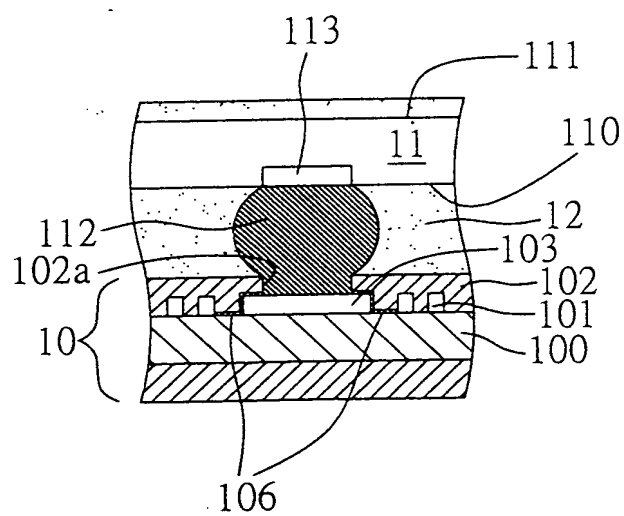
第 1A 圖 (先前技術)



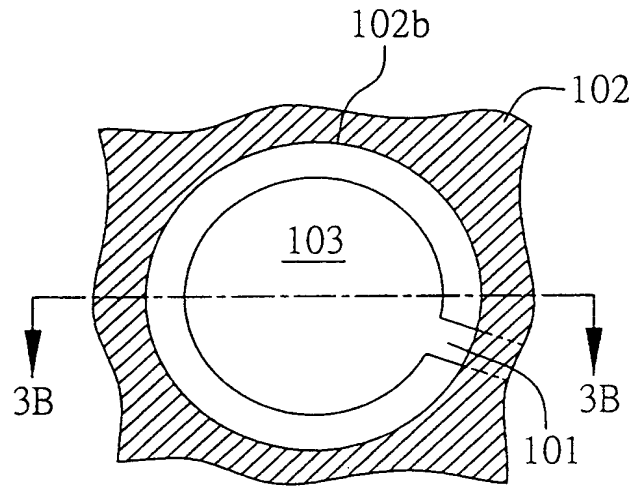
第 1B 圖 (先前技術)



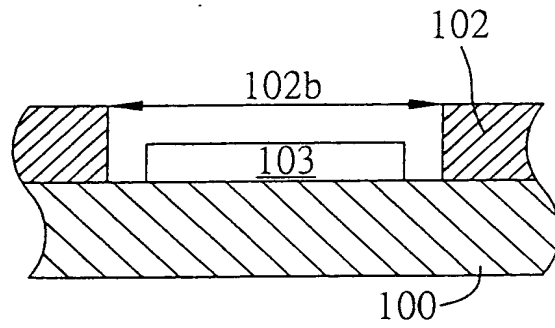
第 2A 圖 (先前技術)



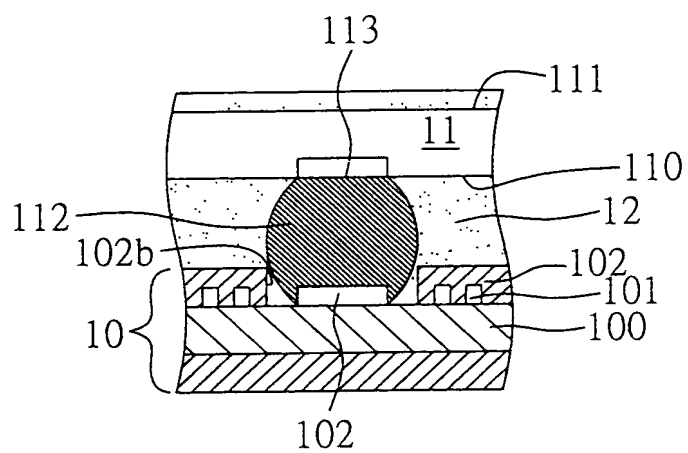
第 2B 圖 (先前技術)



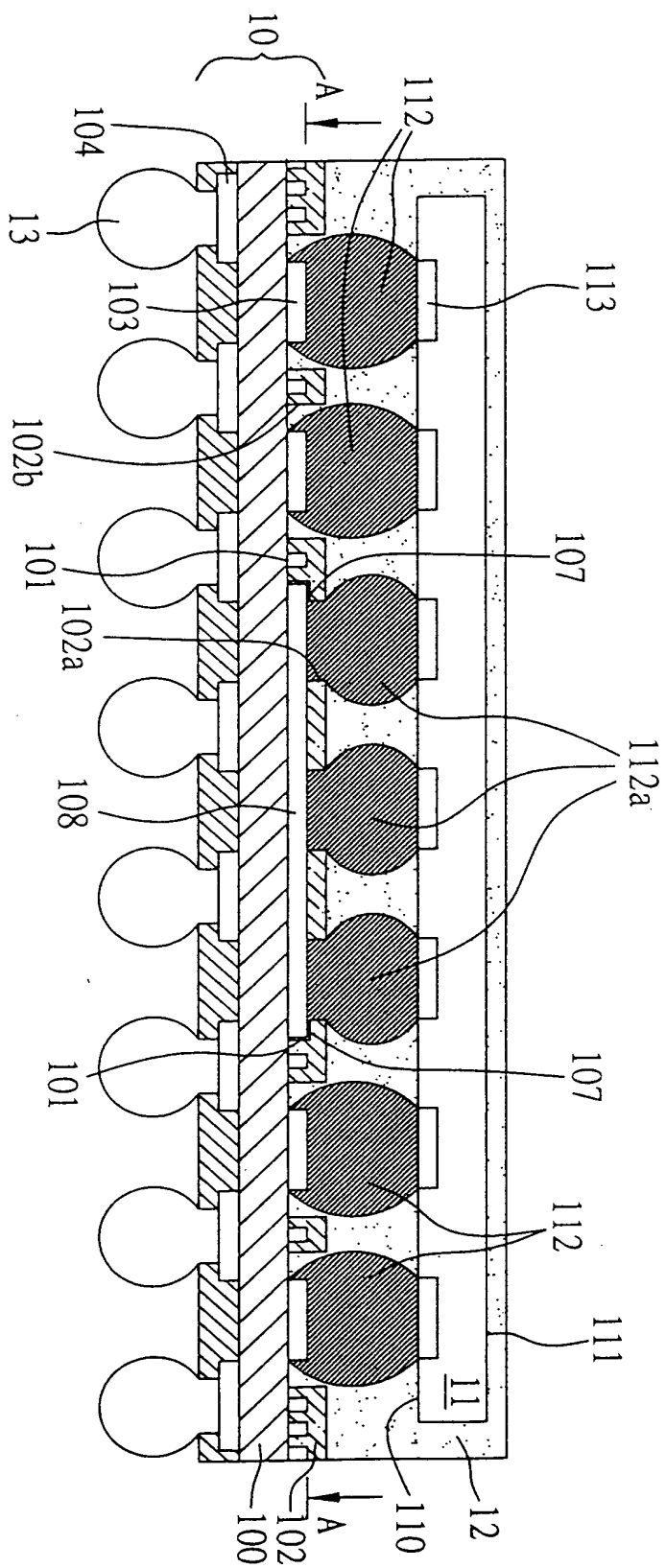
第 3A 圖 (先前技術)



第 3B 圖 (先前技術)

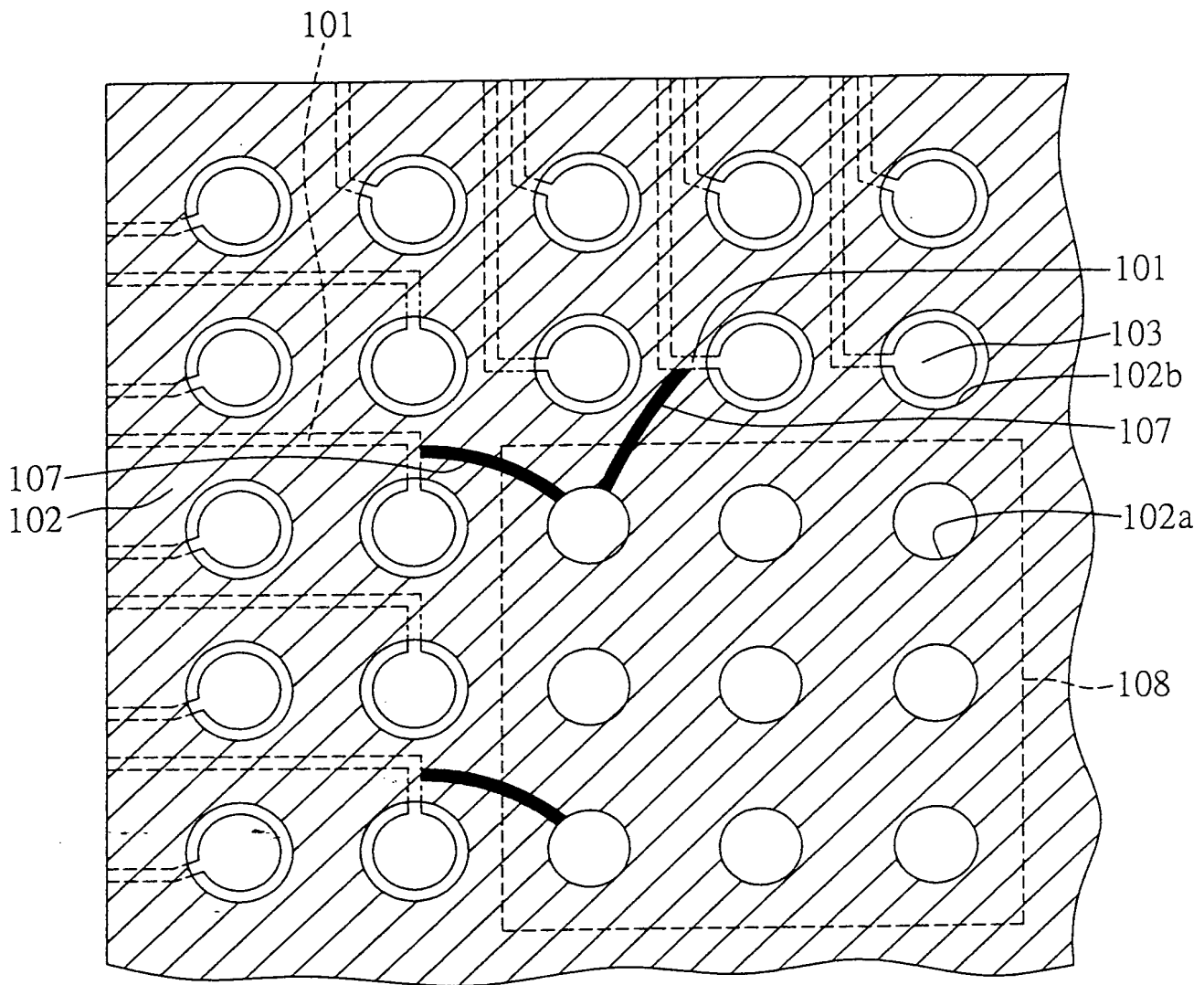


第 4 圖 (先前技術)

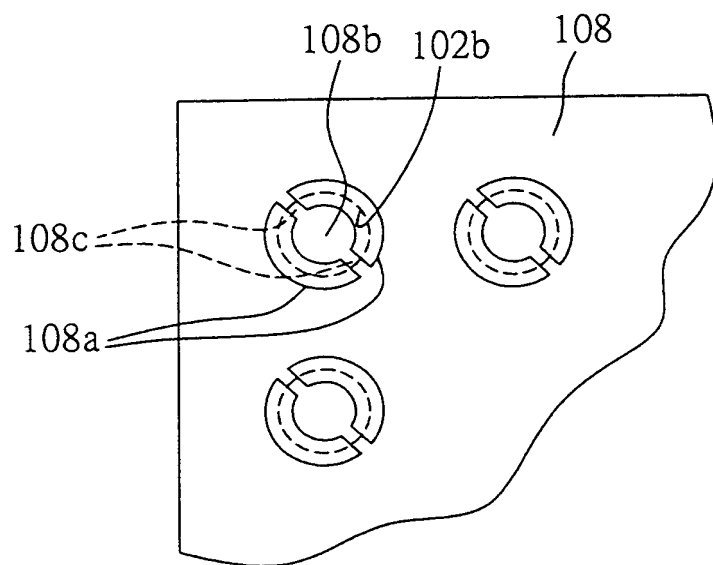


第 5A 圖 (先前技術)

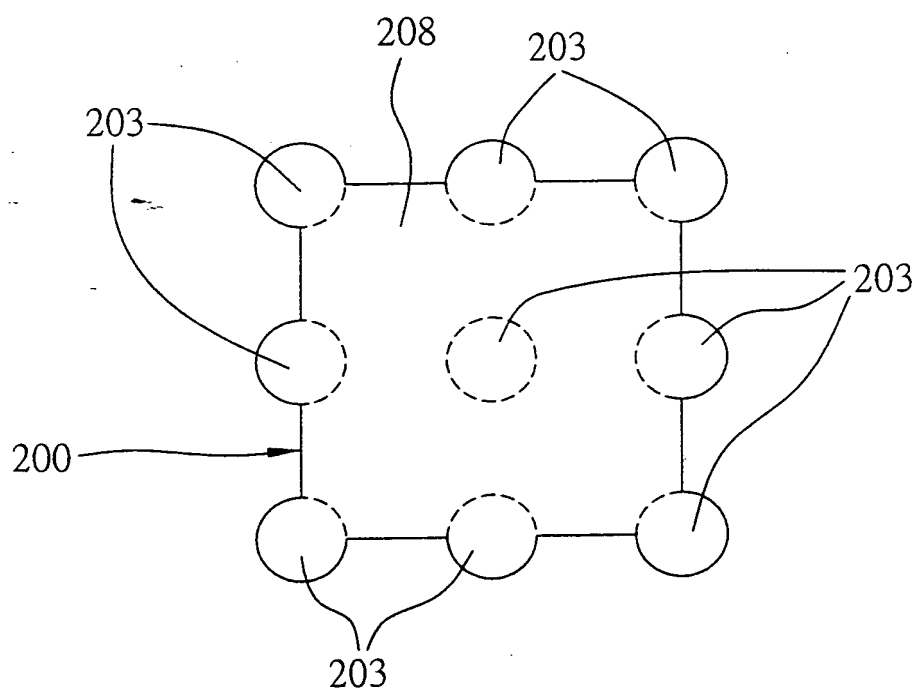




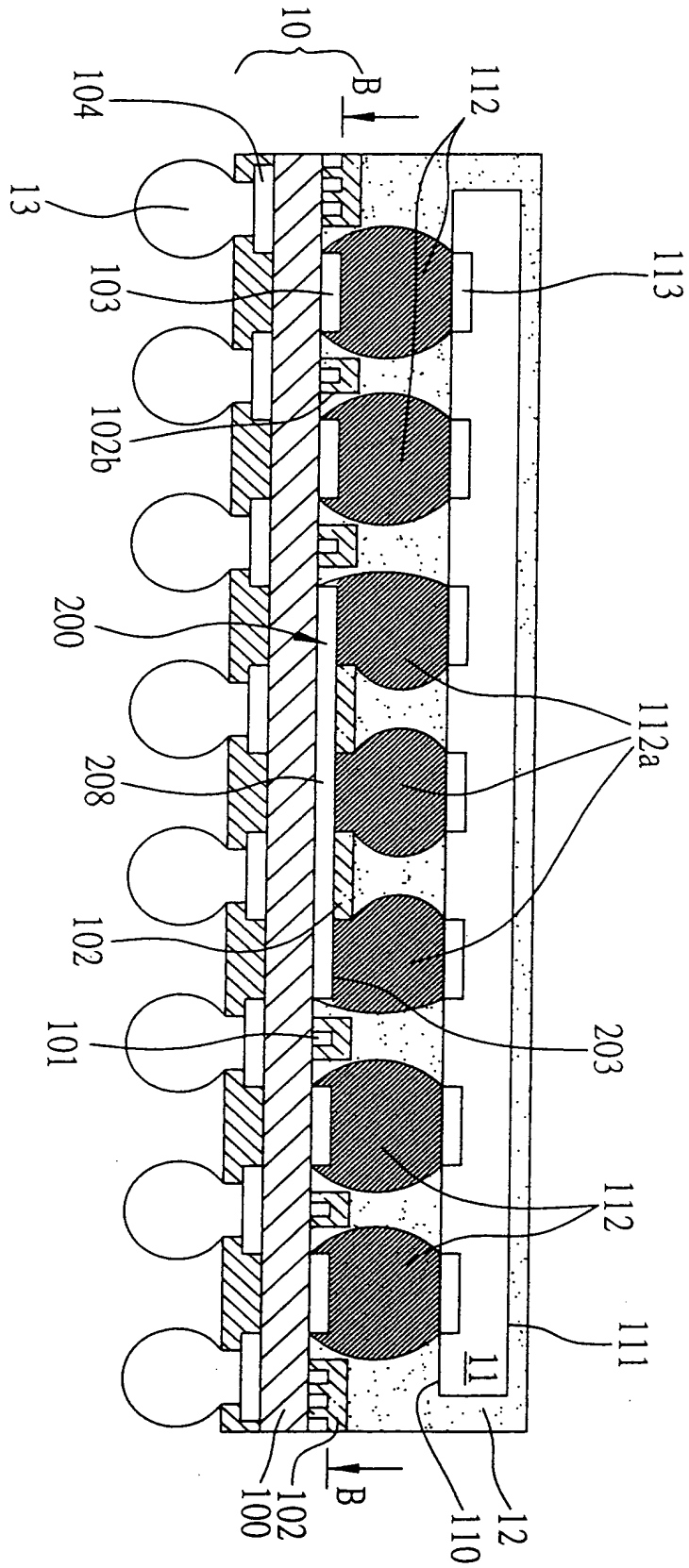
第 5B 圖



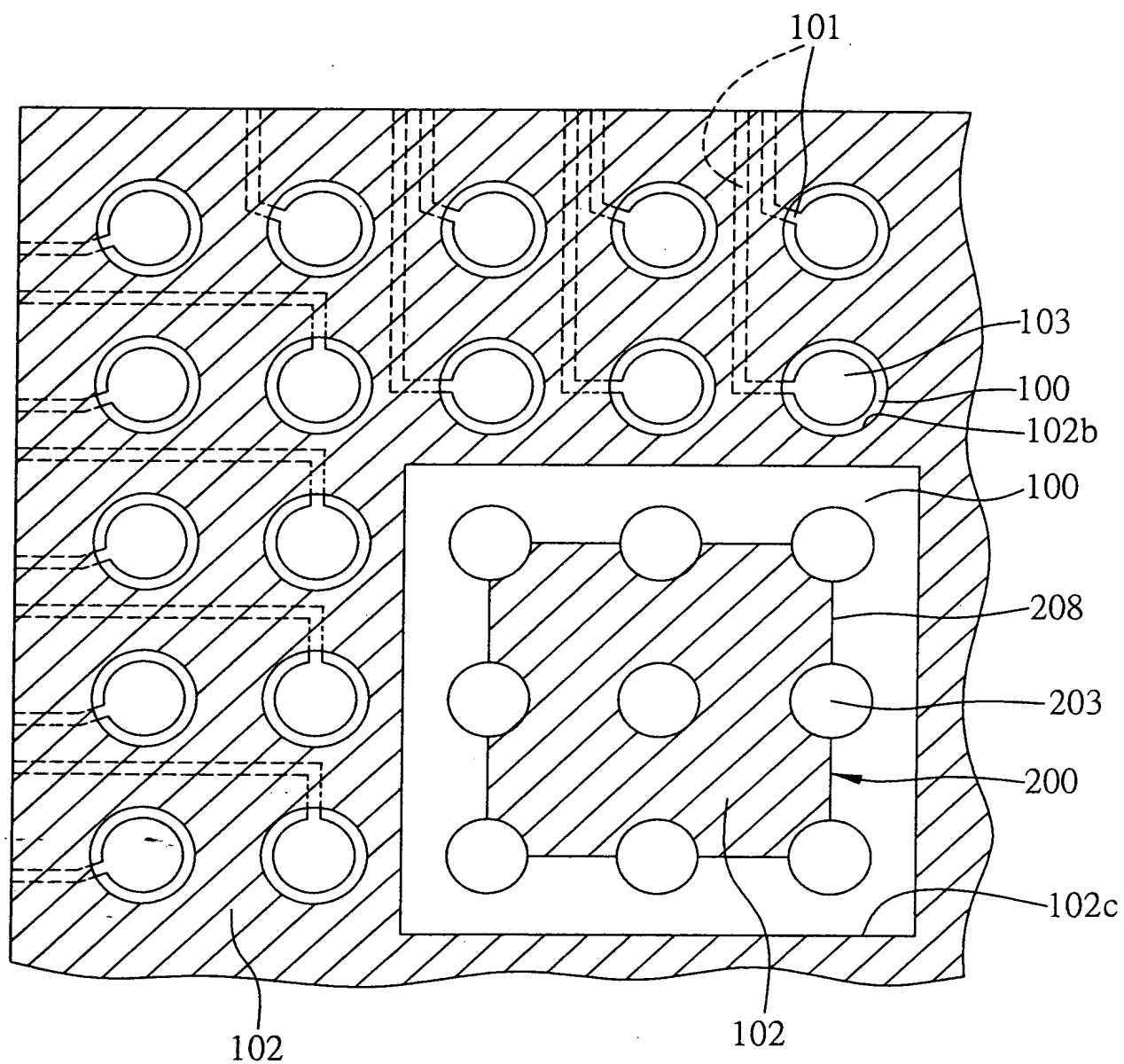
第 6 圖 (先前技術)



第 7 圖



第 8 圖



第 9 圖 (代表圖)